

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-141870

(43) 公開日 平成7年(1995)6月2日

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 11/407 16/06 29/00	S 0 1 B 6808-5L		G 1 1 C 11/ 34 17/ 00	3 5 4 C 9 0 9 Z C3 審査請求 未請求 請求項の数3 FD (全 11 頁)

(21) 出願番号 特願平5-314483  
(22) 出願日 平成5年(1993)11月10日

(71) 出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地  
(71) 出願人 000233488  
日立超エル・エス・アイ・エンジニアリン  
グ株式会社  
東京都小平市上水本町5丁目20番1号  
(72) 発明者 松本 美紀  
東京都青梅市今井2328番地 株式会社日立  
製作所デバイス開発センタ内  
(74) 代理人 弁理士 徳若 光政

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

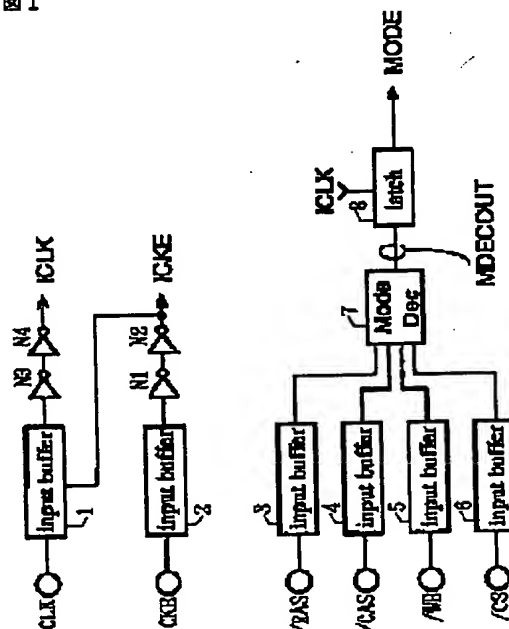
(57) 【要約】

【目的】 簡単な構成により高速化を実現した半導体記憶装置を提供する。

【構成】 複数の外部端子から入力された信号をそれぞれ取り込む複数の入力バッファの出力信号をそのままデコーダ回路に入力し、このデコーダ回路の出力信号を、クロックバッファにより取り込まれた内部クロック信号によりラッチする。

【作用】 入力信号のセットアップ時間を利用して入力信号の取り込みとそのデコードとが行われるために、デコード確定のタイミングをその分遅くすることができる。

図 1



#### 【特許請求の範囲】

【請求項1】 複数の外部端子から入力された信号をそれぞれ取り込む複数の入力バッファと、外部端子から入力されたクロック信号を取り込むクロックバッファと、上記入力バッファの出力信号をデコードするデコーダ回路と、このデコーダ回路の出力信号を上記クロックバッファにより取り込まれた内部クロック信号によりラッチするラッチ回路とを備えてなることを特徴とする半導体記憶装置。

【請求項2】 上記半導体記憶装置は、その動作が外部端子から入力されるクロック信号に従って同期化されるシンクロナスDRAMであって、上記信号は、動作モードを指定する制御信号であることを特徴とする請求項1の半導体記憶装置。

【請求項3】 外部端子から供給されるクロック信号に同期して入力されるアドレス信号をアドレスバッファを通してデコーダ回路に供給し、このデコーダ回路にて冗長アドレスとの比較判定が行われ、内部クロック信号に同期して上記比較判定に対応した正規回路又は冗長回路の選択が行われるようにしてなることを特徴とする半導体記憶装置。

#### 【発明の詳細な説明】

##### 【0001】

【産業上の利用分野】 この発明は半導体記憶装置に関し、例えばシンクロナスDRAM (Dynamic Random Access Memory: ダイナミック型ランダムアクセスメモリ) に利用して有効な技術に関するものである。

##### 【0002】

【従来の技術】 その動作が外部端子から入力されるクロック信号に従って同期化されるいわゆるシンクロナスDRAMがある。このようなシンクロナスDRAMについては、例えば、1993年1月18日、株式会社日立製作所発行の『HM5216800, HM5416800 シリーズ データブック』に記載されている。

##### 【0003】

【発明が解決しようとする課題】 従来のシンクロナスDRAMは、図8に例示されるように、入力バッファ3～6を通して取り込まれた各制御信号/RAS、/CAS、/WE及び/CSは、ラッチ回路10～13に保持されて、モード判定を行うデコーダ回路7に供給される。上記ラッチ回路10～13は、クロック信号CLKを受ける入力バッファ1を通した内部クロック信号ICLKに同期して上記取り込まれた各制御信号をラッチする。上記入力バッファ1は、入力バッファ2を介して取り込まれた内部クロックイネーブル信号ICKEにより動作が有効にされる。

【0004】 上記のようなモード判定回路では、デコーダ回路7に入力される信号がラッチ信号であるので一見すると安定した動作が期待できるように見える。しか

し、図9のタイミング図に示すように、内部クロック信号ICLKにより入力信号(/RAS, /CAS, /WE, /CS)を確定させてから、デコードを行うためにモード確定がその分遅くなってしまいう上に、上記ラッチ回路10～13での出力タイミングのバラツキやデコーダ回路7の入力との間の信号遅延及び複数段の論理ゲートにより構成されるデコーダ回路7の内部での信号遅延等により、モード判定出力にヒゲ状のノイズが発生してしまう虞れがあるので、それを除去したり、あるいはそれに応答しないようにラッチ回路を設ける等によって実際のモード確定が遅くなる。シンクロナスDRAMの高速化に伴い、上記モード確定の遅れが無視できなくなり、実際のメモリアクセスを担うアドレス選択回路やセンスアンプの負担が大きくなり、高速化のために消費電流を増加させてしまう等問題が生じる。

【0005】 この発明の目的は、簡単な構成により高速化を実現した半導体記憶装置を提供することになる。この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

##### 【0006】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。すなわち、複数の外部端子から入力された信号をそれぞれ取り込む複数の入力バッファの出力信号をそのままデコーダ回路に入力し、このデコーダ回路の出力信号を、クロックバッファにより取り込まれた内部クロック信号によりラッチする。

##### 【0007】

【作用】 上記した手段によれば、入力信号のセットアップ時間を利用して入力信号の取り込みとそのデコードとが行われるために、デコード確定のタイミングをその分速くすることができる。

##### 【0008】

【実施例】 図6には、この発明が適用されるシンクロナスDRAMの一実施例のブロック図が示されている。同図の各ブロックを構成する回路素子は、特に制限されないが、公知のMOSFET (金属酸化物半導体型電界効果トランジスタ。この明細書では、MOSFETをして絶縁ゲート型電界効果トランジスタの総称とする) 集積回路の製造技術により、単結晶シリコンのような1個の半導体基板面上に形成される。

【0009】 この実施例のシンクロナスDRAMは、2個のバンクBANK0及びBANK1を備え、これらのバンクのそれぞれは、レイアウト面積の大半を占めて配置されるメモリアレイと、その直接周辺回路となるロウアドレスデコーダRD、センスアンプSA及びカラムアドレスデコーダCDとを含む。

【0010】 上記バンクBANK0及びBANK1を構成するメモリアレイMARYのそれぞれは、図の垂直行

向に平行して配置される複数のワード線と、水平方向に平行して配置される複数の相補ビット線とを含む。これらのワード線及び相補ビット線の交点には、情報蓄積キャパシタ及びアドレス選択MOSFETからなる多数のダイナミック型メモリセルが格子状に配置される。

【0011】上記バンクBANK0及びBANK1のメモリアレイMARYを構成するワード線は、対応するロウアドレスデコーダRDにそれぞれ結合され、択一的に選択状態とされる。ロウアドレスデコーダRDには、ロウアドレスバッファRBからその最上位ビットを除くiビットの内部アドレス信号X0~Xi-1が共通に供給され、タイミング発生回路TGから図示されない内部制御信号RG0及びRG1がそれぞれ供給される。

【0012】ロウアドレスバッファRBには、プリアドレスバッファPBから内部アドレス信号P0~Piが供給され、リフレッシュアドレスカウンタRFCからリフレッシュアドレス信号R0~Riが供給される。ロウアドレスバッファRBには、さらにタイミング発生回路TGから内部制御信号RL（第2の内部制御信号）及びRFが供給される。

【0013】リフレッシュアドレスカウンタRFCには、タイミング発生回路TGから内部制御信号RCが供給される。内部制御信号RG0及びRG1は、バンク選択回路BSからタイミング発生回路TGに供給されるバンク選択信号BS0及びBS1に従って選択的に形成され、これらのバンク選択信号BS0及びBS1は、ロウアドレスバッファRBからバンク選択回路BSに供給される最上位ビットの内部アドレス信号Xiに従って選択的に形成される。ロウアドレスバッファRBは、バンクBANK0及びBANK1のロウアドレスデコーダRDやリフレッシュアドレスカウンタRFCとの間の距離が極力短くなるように最適配置される。

【0014】シンクロナスDRAMは、その動作がクロック信号CLKに従って同期化され、メモリアレイの行選択に供されるXアドレス信号AX0~AXiと列選択に供されるYアドレス信号AY0~AYiとが共通の外部端子つまりアドレス入力端子A0~Aiを介して時分割的に入力されるアドレスマルチプレックス方式を採用する。アドレス入力端子A0~Aiには、後述するように、クロック信号CLKの最初の立ち上がりエッジに同期してロウアドレスRADを指定するXアドレス信号AX0~AXiが入力され、クロック信号CLKの次の立ち上がりエッジに同期してカラムアドレスCADを指定するYアドレス信号AY0~AYiが入力される。

【0015】プリアドレスバッファPBには、アドレス入力端子A0~Aiを介してこれらのXアドレス信号AX0~AXiならびにYアドレス信号AY0~AYiが供給され、タイミング発生回路TGから反転内部制御信号PLB（第1の内部制御信号）が供給される。プリアドレスバッファPBは、アドレス入力端子A0~Aiに

近接して配置され、これらのアドレス入力端子との間の距離が極力短くなるように最適配置される。

【0016】反転内部制御信号PLBは、クロック信号CLKの有効レベルつまりハイレベルへの変化を受けて選択的に有効レベルつまりロウレベルとされる。また、内部制御信号RLは、クロック信号CLKのハイレベルへの変化時点ですでにロウアドレスストローブ信号/RASが有効レベルつまりロウレベルとされているのを受けて選択的に有効レベルつまりハイレベルとされるが、クロック信号CLKのハイレベルへの立ち上がりから内部制御信号RLの立ち上がりまでの時間は比較的余裕をもって設定される。内部制御信号RFは、シンクロナスDRAMがリフレッシュモードとされるとき選択的にハイレベルとされ、内部制御信号RCは、シンクロナスDRAMがリフレッシュモードとされるとき所定のタイミングでハイレベルとされる。

【0017】プリアドレスバッファPBは、シンクロナスDRAMが通常の動作モードとされるとき、アドレス入力端子A0~Aiを介して入力されるXアドレス信号AX0~AXiあるいはYアドレス信号AY0~AYiを反転内部制御信号PLBのロウレベルへの立ち下がり変化を受けて取り込み、保持するとともに、内部アドレス信号P0~PiとしてロウアドレスバッファRB及びカラムアドレスバッファCBに伝達する。また、リフレッシュアドレスカウンタRFCは、シンクロナスDRAMがリフレッシュモードとされるとき、内部制御信号RCに従って歩進動作を行い、リフレッシュアドレス信号R0~Riを形成する。

【0018】ロウアドレスバッファRBは、シンクロナスDRAMが通常の動作モードとされ内部制御信号RFがロウレベルとされるとき、プリアドレスバッファPBから供給される内部アドレス信号P0~PiつまりはXアドレス信号AX0~AXiを内部制御信号RLに従って取り込み、保持する。また、シンクロナスDRAMがリフレッシュモードとされ内部制御信号RFがハイレベルとされるとき、リフレッシュアドレスカウンタRFCから供給されるリフレッシュアドレス信号R0~Riを内部制御信号RLに従って取り込み、保持する。そして、これらのXアドレス信号又はリフレッシュアドレス信号をもとに、内部アドレス信号X0~Xiを形成する。このうち、最上位ビットの内部アドレス信号Xiはバンク選択回路BSに供給され、他の内部アドレス信号X0~Xi-1はバンクBANK0及びBANK1のロウアドレスデコーダRDに共通に供給される。

【0019】バンク選択回路BSは、ロウアドレスバッファRBから供給される最上位ビットの内部アドレス信号Xiをデコードして、対応するバンク選択信号BS0及びBS1を選択的に形成し、タイミング発生回路TG及びデータ入出力回路IO等に供給する。また、バンクBANK0及びBANK1のロウアドレスデコーダRD

は、内部階梯脚信号RG0又はRG1がハイレベルとされることで選択的に動作状態とされ、内部アドレス信号X0~Xi-1をデコードして、対応するメモリアレイMARYのワード線を択一的にハイレベルの選択状態とする。

【0020】バンクBANK0及びBANK1のメモリアレイMARYを構成する相補ビット線は、対応するセンスアンプSAに結合される。これらのセンスアンプSAには、対応するカラムアドレスデコーダCDから所定ビットのビット線選択信号が供給され、タイミング発生回路TGから図示されない内部階梯脚信号PA0又はPA1がそれぞれ供給される。内部階梯脚信号PL0及びPL1は、バンク選択信号BS0及びBS1に従って選択的に形成される。

【0021】バンクBANK0及びBANK1のセンスアンプSAは、対応するメモリアレイMARYの各相補ビット線に対応して設けられる複数の単位回路をそれぞれ含み、これらの単位回路のそれぞれは、一対のCMOSインバータが交差接続されてなる単位増幅回路と一対のスイッチMOSFETを含む。このうち、各単位回路の単位増幅回路には、対応する内部階梯脚信号PA0又はPA1に従って選択的にオン状態とされる一対の駆動MOSFETを介して、回路の電源電圧及び接地電位が選択的に供給される。各単位回路のスイッチMOSFETのゲートは16対ごとにそれぞれ共通結合され、対応するカラムアドレスデコーダCDから対応する上記ビット線選択信号が共通に供給される。

【0022】これにより、センスアンプSAの各単位回路を構成する単位増幅回路は、対応する内部階梯脚信号PA0又はPA1がハイレベルとされることで選択的にかつ一斉に動作状態とされ、対応するメモリアレイMARYの選択されたワード線に結合される複数のメモリセルから対応する相補ビット線を介して出力される微小読み出し信号を増幅して、ハイレベル又はロウレベルの2値読み出し信号とする。センスアンプSAの各単位回路を構成するスイッチMOSFET対は、対応するビット線選択信号がハイレベルとされることで16対ずつ選択的にオン状態とされ、対応するメモリアレイMARYの対応する16組の相補ビット線と相補共通データ線CD00\*~CD015\*あるいはCD10\*~CD115\*（ここで、例えば非反転共通データ線CD00T及び反転共通データ線CD00Bをあわせて相補ビット線CD00\*のように\*を付して表す。また、それが有効とされるとき選択的にハイレベルとされる非反転信号等については、その名称の末尾にTを付して表す。以下同様）とを選択的に接続状態とする。

【0023】バンクBANK0及びBANK1のカラムアドレスデコーダCDには、カラムアドレスバッファCBからi+1ビットの内部アドレス信号Y0~Yiが共通に供給され、タイミング発生回路TGから対応する図

示されない内部階梯脚信号CG0及びCG1がそれぞれ供給される。また、カラムアドレスバッファCBには、プリアドレスバッファPBからi+1ビットの内部アドレス信号PO~Piが供給され、タイミング発生回路TGから内部階梯脚信号CL（第3の内部階梯脚信号）が供給される。なお、内部階梯脚信号CG0及びCG1は、カラムアドレスストローブ信号CASBに同期して再度入力される最上位ビットのアドレス信号つまりバンク選択信号BS0及びBS1に従って選択的に形成される。また、カラムアドレスバッファCBは、バンクBANK0及びBANK1のカラムアドレスデコーダCDとの間の距離が極力短くなるように最適配置される。

【0024】この実施例において、内部階梯脚信号CLは、クロック信号CLKのハイレベルへの変化時点ですでにカラムアドレスストローブ信号/CASが有効レベルつまりロウレベルとされているのを受けて選択的に有効レベルつまりハイレベルとされるが、クロック信号CLKのハイレベルへの立ち上がりから内部階梯脚信号CLの立ち上がりまでの時間は比較的余裕をもって設定される。シンクロナスDRAMは、選択されたワード線に結合される複数のメモリセルの読み出しデータを連続出力するバーストモードを有し、カラムアドレスバッファCBは、このバーストモードにおいて一連のメモリセルに対応するカラムアドレスを順次指定するためのバーストカウンタを含む。

【0025】カラムアドレスバッファCBは、プリアドレスバッファPBから供給される内部アドレス信号PO~PiつまりはYアドレス信号AY0~AYiを内部階梯脚信号CLに従って取り込み、保持するとともに、これらのYアドレス信号をもとに内部アドレス信号Y0~Yiを形成し、各バンクのカラムアドレスデコーダCDに供給する。シンクロナスDRAMがバーストモードとされるとき、取り込んだYアドレス信号AY0~AYiを先頭アドレスとして歩進動作を行い、連続アクセスされる一連のメモリセルのカラムアドレスを指定する。

【0026】バンクBANK0及びバンクBANK1のカラムアドレスデコーダCDは、対応する内部階梯脚信号CG0又はCG1がハイレベルとされることで選択的に動作状態とされる。この動作状態において、各カラムアドレスデコーダCDは、カラムアドレスバッファCBから供給される内部アドレス信号Y0~Yiをデコードして、対応するビット線選択信号を択一的にハイレベルとする。

【0027】バンクBANK0及びBANK1を構成するメモリアレイMARYの指定された16組の相補ビット線がそれぞれ選択的に接続状態とされる相補共通データ線CD00\*~CD015\*ならびにCD10\*~CD115\*は、データ入出力回路IOに結合される。データ入出力回路IOには、バンク選択回路BSからバンク選択信号BS0及びBS1が供給され、タイミング発

生回路TGから内部制御信号MU及びMLが供給される。なお、内部制御信号MUは、クロック信号CLKの立ち上がりエッジにおいてデータマスク信号DQMUがハイレベルとされることで選択的にハイレベルとされ、内部制御信号MLは、データマスク信号DQMLがハイレベルとされることで選択的にハイレベルとされる。また、バンク選択信号BS0及びBS1は、カラムアドレスストロブ信号CASBに同期して入力される最上位ビットのアドレス信号に従って選択的に形成される。

【0028】データ入出力回路IOは、相補共通データ線CD00\*~CD015\*ならびにCD10\*~CD115\*に対応して設けられるそれぞれ32個のライトアンプ及びメインアンプと、それぞれ16個のデータ入力バッファ及びデータ出力バッファを含む。このうち、各ライトアンプの出力端子とメインアンプの入力端子は、対応する相補共通データ線CD00\*~CD015\*あるいはCD10\*~CD115\*にそれぞれ共通結合される。また、各ライトアンプの入力端子は、2個ずつ対応するデータ入力バッファの出力端子に共通結合され、各データ入力バッファの入力端子は、対応するデータ入出力端子D0~D15に結合される。

【0029】各メインアンプの出力端子は、2個ずつ対応するデータ出力バッファの入力端子に共通結合され、各データ出力バッファの出力端子は、対応するデータ入出力端子D0~D15に結合される。バンクBANK0に対応するライトアンプ及びメインアンプには、バンク選択信号BS0が共通に供給され、バンクBANK1に対応するライトアンプ及びメインアンプには、バンク選択信号BS1が共通に供給される。また、下位8ビットのデータ入出力端子D0~D7に対応するライトアンプ及びデータ出力バッファには、内部制御信号MLが共通に供給され、上位8ビットのデータ入出力端子D8~D15に対応するライトアンプ及びデータ出力バッファには、内部制御信号MUが共通に供給される。

【0030】データ入出力回路IOの各データ入力バッファは、シンクロナスDRAMが書き込みモードで選択状態とされる時に対応するデータ入出力端子D0~D15を介して供給される16ビットの書き込みデータを取り込み、対応する2個のライトアンプにそれぞれ伝達する。各ライトアンプは、対応するバンク選択信号BS0又はBS1がハイレベルとされかつ対応する内部制御信号MU又はMLがロウレベルとされることで選択的に動作状態とされ、対応するデータ入力バッファから伝達される書き込みデータを所定の相補書き込み信号とした後、対応する相補共通データ線CD00\*~CD015\*あるいはCD10\*~CD115\*を介してバンクBANK0又はBANK1のメモリアレイMARYの選択された16個のメモリセルに8個ずつ選択的に書き込む。

【0031】データ入出力回路IOの各メインアンプ

は、シンクロナスDRAMが読み出しモードで選択状態とされるとき、対応するバンク選択信号BS0又はBS1がハイレベルとされることで選択的に動作状態とされる。この動作状態において、各メインアンプは、バンクBANK0又はBANK1のメモリアレイMARYの選択された16個のメモリセルから対応する相補共通データ線CD00\*~CD015\*あるいはCD10\*~CD115\*を介して出力される2値読み出し信号をさらに増幅して、対応するデータ出力バッファに伝達する。

【0032】各データ出力バッファは、対応する内部制御信号MU又はMLがロウレベルとされることで一斉に又は8個ずつ選択的に動作状態とされ、対応するメインアンプから伝達される読み出しデータをさらに増幅した後、対応するデータ入出力端子D0~D15を介してシンクロナスDRAMの外部に出力する。なお、データ入出力回路IOは、読み出しデータをクロック信号CLKの指定サイクルだけ選択的に遅延して出力するためのCASレイテンシー制御回路を含む。

【0033】この実施例のシンクロナスDRAMは、指定されたバンクBANK0又はBANK1に対して16ビットの記憶データを同時に入力又は出力するいわゆる2バンク×16ビット構成のメモリとされるが、記憶データの入力及び出力動作は、データマスク信号DQMU及びDQMLつまりは内部制御信号MU及びMLに従って8ビット単位で選択的に禁止することができる。

【0034】タイミング発生回路TGは、外部から供給されるクロック信号CLKと、起動制御信号となるクロックイネーブル信号CKE、チップ選択信号/CS、ロウアドレスストロブ信号/RAS、カラムアドレスストロブ信号/CAS、ライトイネーブル信号/WEならびにデータマスク信号DQMU及びDQMLと、バンク選択回路BSから供給されるバンク選択信号BS0及びBS1とをもとに上記各種内部制御信号を選択的に形成し、各部に供給する。

【0035】図1には、上記タイミング発生回路TGに含まれるモード判定部の一実施例のブロック図が示されている。クロック信号CLKは、入力バッファ1を通して取り込まれる。この入力バッファ1は、クロックイネーブル信号CKEを受ける入力バッファ2と、その出力部に設けられたインバータ回路N1及びN2を通して出力された内部信号ICKEにより活性化される。すなわち、入力バッファ1は、上記信号ICKEがハイレベルにされたときに活性化されて、クロック信号CLKを取り込んで内部クロック信号ICKLKを内部回路に供給する。

【0036】この実施例では、モード判定タイミングまでの時間短縮化と回路の簡素化を図るために、特に制限されないが、上記/RAS、/CAS、/WE及び/CSの各制御信号は、入力バッファ3、4、5及び6を通して取り込まれて、そのままデコーダ回路7に入力され

る。

【0037】上記デコーダ回路7の出力部には、ラッチ回路8が設けられてモード判定信号MDECOUTを取り込み、上記内部クロック信号I CLKの立ち上がりエッジによりラッチする。このラッチ回路8の出力信号がモード判定信号MODEとして出力される。なお、後述するように、最終的なモード判定にはアドレス信号も利用される。アドレス信号は、前記のようにアドレスバッファに設けられたラッチ回路により保持されているので、その信号が上記モード判定信号MODEと組み合わせられて使用される。

【0038】図2には、上記モード判定部の動作の一例を説明するためのタイミング図が示されている。信号CKEがハイレベルにされた状態で、クロック信号CLKが有効とされ、それに対して上記入力バッファ1やインバータ回路N3、N4を通した分だけ遅れて内部クロック信号I CLKが変化する。

【0039】入力信号（/RAS、/CAS、/WE及び/CS）の各信号は、上記クロック信号CLKに対してセットアップ時間とホールド時間を持つように入力される。この実施例においては、上記入力信号（/RAS、/CAS、/WE及び/CS）は、入力バッファ3～6を通してそのままデコーダ回路7に供給する構成が採られているので、上記セットアップ時間中に入力された入力信号がセットアップ時間及びホールド時間の

間に解読されてデコード信号MDECOUTとして出力されている。

【0040】そして、上記内部クロック信号I CLKがロウレベルからハイレベルに変化タイミングで、ラッチ回路8が上記信号MDECOUTをラッチしてモード信号MODEを出力する。これにより、内部クロック信号I CLKの立ち上がりエッジに同期してモード確定が行われるので、早いタイミングでモード判定出力に対応した内部の各回路を起動させられるから動作の高速化が図られる。つまり、クロック信号CLKの周期をその分短くできる。クロック信号CLKの周期が一定なら、モード判定以降のメモリアクセス時間に時間的な余裕を持つことができ、動作マージンの改善や消費電力を低減させることができる。そして、ラッチ回路は、1つに集約できるので、回路の簡素化を図ることもできる。

【0041】次の表1には、シンクロナスDRAMにおけるコマンドの真理値表の一例が示されている。同表において、Hはハイレベル、Lはロウレベル、XはHでもLでもよいDon't careを表し、Vは有効アドレス入力を意味している。また、アドレス端子はA0～A9からなり、約4Mビットで×16ビット構成のシンクロナスDRAMに向けられている。A0～A7によりカラムアドレスが指定される。

【0042】

【表1】

モード(Function)	/CS	/RAS	/CAS	/WE	A9	A8	A7-A0
Ignore command	H	X	X	X	X	X	X
No operation	L	H	H	H	X	X	X
Burst stop in full page	L	H	H	L	X	X	X
Column address & read command	L	H	L	H	V	L	V
Read with auto precharge	L	H	L	H	V	H	V
Column address & write command	L	H	L	L	V	L	V
Write with auto precharge	L	H	L	L	V	H	V
Row address strobe and bank act	L	L	H	H	V	V	V
Precharge select bank	L	L	H	L	V	L	X
Precharge all bank	L	L	H	L	X	H	X
Mode register set	L	L	L	L	L	L	V

【0043】図3には、この発明の他の一実施例のタイミング図が示されている。この実施例では、アドレス信号のセットアップ及びホールド時間を利用して、アドレス選択のためのデコード動作を行うようにするものである。すなわち、前記同様にクロック信号CLKに対してセットアップ時間とホールド時間を持つようにして入力されたアドレス信号を、前記のようなラッチ回路を通さずに直接デコーダ回路に供給する。

【0044】デコーダ回路には、冗長アドレスとの比較

機能が設けられており、その比較判定も上記アドレス信号の入力のために設けられたセットアップとホールド時間を利用して行われる。これにより、内部クロック信号I CLKがハイレベルに立ち上がるタイミングでは、正規回路又は冗長回路の選択動作が確定しているため、冗長比較がヒットしたなら正規回路に代えて冗長回路の選択確定が行われ、冗長比較がミスヒットなら正規回路がそのまま選択される。

【0045】つまり、この実施例では冗長回路の選択動

作と正規回路の選択動作とが同く内部のクロック信号 ICLK の立ち上がりで同期して行われるため、ワード線選択のためのタイミング信号やセンスアンプの活性化信号、あるいはカラム選択のタイミング信号及びメインアンプ制御信号等のメモリアクセスに必要な各タイミング信号を共通化できるものとなり、正規回路と冗長回路とが同じアクセスすることができる。これにより、半導体記憶装置内部でのタイミング調整が容易にでき、回路の簡素化と高速化が可能になる。

【0046】上記のようなアドレス信号とデコーダ回路との具体的構成は、図示しないが、基本的には図1の実施例回路において、入力バッファ3～6等がアドレスバッファに置き換えるようにし、デコーダ回路7にワード線又はデータ線選択のためのアドレス解読のためのデコード機能と、冗長比較機能が設けられるようにするものであればよい。

【0047】図4には、前記図1に示されたモード判定部の一実施例の論理回路図が示されている。この実施例の回路記号は、回路が複雑になってしまうのを防ぐために、図1のものと一部重複しているが、それぞれは別個の回路機能を持つものであると理解されたい。このことは、以下図5においても同様である。

【0048】クロック信号CLKは、入力初段コントロール信号PWDMを受けるインバータ回路N1の出力信号により制御されるナンドゲート回路G1を通して取り込まれる。コントロール回路7は、信号CKEにより活性化されて上記ゲート回路G1とインバータ回路N2とを通して入力されたクロック信号CLKを有効として内部クロック信号ICLKとしてインバータ回路N3とN4を通して内部回路に供給する。

【0049】入力信号の代表として示されている/RAS信号は、前記同様な入力初段コントロール信号PWDMを受けるインバータ回路N4の出力信号により制御されるナンドゲート回路G2を通して取り込まれ、インバータ回路N6とN7を通して内部信号RASBとしてデコーダ回路7に供給される。デコーダ回路7に供給される他の入力信号も前記同様な回路を通して取り込まれる。

【0050】デコーダ回路7により形成された出力信号MDECOUをラッチするラッチ回路8は、次の各回路により構成される。入力用のクロックドインバータ回路CN1と、帰還用のクロックドインバータ回路CN2とインバータ回路N10とがラッチ形態にされ、上記インバータ回路N10の入力にクロックドインバータ回路CN1の出力信号が伝えられる。上記CN1とCN2の共通化された出力部の信号は、次段ラッチ回路の入力用クロックドインバータ回路CN3に供給される。次段ラッチ回路は、帰還用のクロックドインバータ回路CN4とナンドゲート回路G3とがラッチ形態にされ、ナンドゲート回路の他の入力には内部状態コントロール信号S

TATE及び内部クロック信号ICLKが供給される。

【0051】内部クロック信号ICLKは、インバータ回路N8により反転信号が形成され、インバータ回路N9により同相の信号が形成される。これにより、内部クロック信号ICLKがハイレベルのときには、入力段ラッチ回路がホールド状態にされ、次段ラッチ回路がスルー状態にされる。すなわち、内部クロック信号ICLKのハイレベルにより、入力用のクロックドインバータ回路CN1が出力ハイインピーダンス状態にされ、帰還用のクロックドインバータ回路CN2が活性化されて、デコーダ回路7の出力信号が上記帰還用のクロックドインバータ回路CN2によって保持される。

【0052】次段ラッチ回路では、クロック信号ICLKのハイレベルにより、入力用のクロックドインバータ回路CN3が活性化され、帰還用のクロックドインバータ回路CN4が出力ハイインピーダンス状態にされている。ナンドゲート回路G3は、上記内部クロック信号ICLKのハイレベルにより、信号STATEがハイレベルならインバータ回路として作用するので信号MDECOUに対応した信号を出力し、ハイレベルならそれに対応して出力をロウレベルにする。

【0053】内部クロック信号ICLKがロウレベルに変化すると、入力段ラッチ回路はスルー状態になり、上記デコーダ回路7の出力信号を取り込み、ホールド状態にされた次段ラッチ回路は、1つ前の状態を保持する。このようにラッチ回路として入力段と出力段の2つを用いてマスター/スレーブのフリップフロップ回路として動作させることにより、安定したモード判定信号MODEを得ることができる。

【0054】図5には、前記図1に示されたモード判定部の他の一実施例の論理回路図が示されている。この実施例では、内部クロック信号ICLKを遅延回路とインバータ回路N5及びナンドゲート回路G2により、内部クロック信号ICLKがロウレベルからハイレベルに立ち上がる一定期間だけ発生するパルスを形成して、入力信号/RASを取り込む入力バッファにラッチ回路をホールド状態にするものである。これにより、内部クロック信号ICLKがハイレベルに立ち上がるタイミングで外来ノイズ等により入力信号/RASが変化しても、それを受け付けないようにして信頼性を高くするものである。

【0055】他の入力信号/CAS、/WE及び/CSについても、上記同様な入力回路が用いられ、デコーダ回路7の入力信号が形成される。このデコーダ回路7の出力部に設けられて、モード判定信号MODEを形成するラッチ回路は、1段の回路により構成される。そして、それに供給される内部クロック信号は、前記同様に内部クロック信号の立ち上がりで同期して発生される1ショットパルスが3個のインバータ回路を通して逆相で入力されたために、上記入力用のラッチ回路とは相補的に

スルー状態とホールド状態になり、上記1ショットパルスが発生されたタイミングでスルー状態となり、他のタイミングではホールド状態になり、モード判定信号MODEを出力させる。

【0056】図7には、本発明に係るシンクロナスDRAMが適用されたコンピュータシステムの要部概略図が示されている。バスと中央処理装置CPU、周辺装置制御部、主記憶メモリとしてのダイナミック型RAM(DRAM)又は本発明に係るシンクロナスDRAM(SDRAM)及びそのメモリ制御部、バックアップメモリとしてのスタティック型RAM(SRAM)及びバックアップパリティとその制御部、プログラムが格納されたリード・オンリー・メモリ(ROM)、表示系等によって本コンピュータシステムは構成される。

【0057】上記周辺装置制御部は外部記憶装置およびキーボードKB等と接続されている。表示系はビデオRAM(以下VRAMと記す)等によって構成され、出力装置としてのディスプレイと接続されることによってVRAM内の記憶情報の表示を行なう。このビデオRAMは、本発明に係るシンクロナスDRAM(SDRAM)に置き換えることもできる。コンピュータシステム内部回路に電源を供給するための電源供給部が設けられている。上記中央処理装置CPUは各メモリを制御するための信号を形成することによって上記各メモリの動作タイミング制御を行なう。このようなシステムに用いるとき、中央処理装置CPUの高速化に対応してシステムクロックが高速化されてメモリサイクルが短くされても、上記のようなシンクロナスDRAMの入力回路により対処できる。

【0058】以上の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) クロック信号に同期して複数の外部端子から入力された入力信号をそれぞれ取り込む複数の入力バッファの出力信号をそのままデコード回路に供給し、このデコード回路の出力信号を、クロックバッファにより取り込まれた内部クロック信号によりラッチすることにより、入力信号のクロック信号に対するセットアップ時間とホールド時間を利用して入力信号の取り込みとそのデコードとが行われるために、回路の簡素化とデコード確定のタイミングを速くすることができるという効果が得られる。

【0059】(2) クロック信号に同期して入力されるアドレス信号をアドレスバッファを通してデコード回路に供給し、このデコード回路にて冗長アドレスとの比較判定を行い、内部クロック信号に同期して上記比較判定に対応した正規回路又は冗長回路の選択を行うことにより、入力信号のクロック信号に対するセットアップ時間とホールド時間を利用してアドレス信号の取り込みと冗長比較とが行われるために、冗長回路と正規回路の動作タイミングを同じく早くすることができるという効果が

得られる。

【0060】(3) 上記(1)により、モード確定後のメモリアクセス時間が長くでき動作マージンを大きくしたり、低消費電力化を図ることができるという効果が得られる。

【0061】(4) 上記(2)により、正規回路と冗長回路との動作タイミングを同じくすることができるから、ワード線選択タイミング、センスアンプの活性化タイミング等の一連のタイミングを共通化でき、回路の簡素化を図ることができるという効果が得られる。

【0062】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、図6において、シンクロナスDRAMは、いわゆる×1ビット又は×8ビット構成等、任意のビット構成を採ることができる。また、シンクロナスDRAMには、任意数のバンクを設けることができ、各バンクを複数のマツに分割することもできる。データ入出力端子D0～D15は、データ入力端子及びデータ出力端子として専用化するものであってもよい。

【0063】図1の実施例において、モード判定を行うデコード回路には、そのモード判定に必要なアドレス信号も同様に供給する構成としてもよい。すなわち、モード判定に利用されるアドレス信号A8、A9は、アドレスバッファの出力がそのままデコード回路7に供給されるようにし、アドレスデコードには必要に応じてラッチ回路等を通して信号を供給する等種々の実施形態を採ることができる。図4又は図5の実施例回路は、必要に応じて種々の実施形態を採ることができるものである。

【0064】この発明は、クロック信号に同期してアドレス信号や制御入力信号が供給される、いわゆるシンクロナスDRAMに適用した場合について説明したが、それに限定されるものではなく、例えば、スタティック型RAMやROM等の半導体記憶装置においてもクロック信号に同期してアドレス信号や制御入力信号が供給される構成のものに同様に適用できるものである。

【0065】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、クロック信号に同期して複数の外部端子から入力された入力信号をそれぞれ取り込む複数の入力バッファの出力信号をそのままデコード回路に供給し、このデコード回路の出力信号を、クロックバッファにより取り込まれた内部クロック信号によりラッチすることにより、入力信号のクロック信号に対するセットアップ時間とホールド時間を利用して入力信号の取り込みとそのデコードとが行われるために、回路の簡素化とデコード確定のタイミングを速くすることができる。



【図面の簡単な説明】

【図1】この発明に係るシンクロナスDRAMのタイミング発生回路に含まれるモード判定部の一実施例を示すブロック図である。

【図2】図1のモード判定部の動作の一例を説明するためのタイミング図である。

【図3】この発明に係る半導体記憶装置の冗長比較動作を説明するためのタイミング図である。

【図4】図1のモード判定部の一実施例を示す論理回路図である。

【図5】図1のモード判定部の他の一実施例を示す論理回路図である。

【図6】この発明が適用されるシンクロナスDRAMの一実施例を示すブロック図である。

【図7】本発明に係るシンクロナスDRAMが適用されたコンピュータシステムの一実施例を示す要部概略図である。

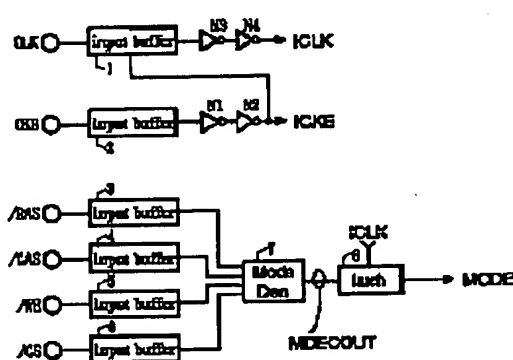
【図8】従来のシンクロナスDRAMにおけるモード判定部の一列を示すブロック図である。

【図9】図8のモード判定部の動作の一例を説明するためのタイミング図である。

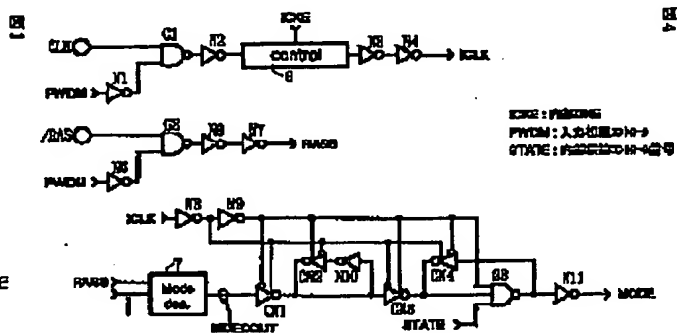
【符号の説明】

1～6…入力バッファ、7…デコーダ回路、8…ラッチ回路、9…コントロール回路、10～13…ラッチ回路、N1～N21…インバータ回路、CN1～CN4…クロックドインバータ回路、G1～G5…ナンドゲート回路、BANK0～BANK1…バンク、MARY…メモリアレイ、RD…ロウアドレスデコーダ、SA…センスアンプ、CD…カラムアドレスデコーダ、BS…バンク選択回路、RB…ロウアドレスバッファ、CB…カラムアドレスバッファ、PB…プリアドレスバッファ、RFC…リフレッシュアドレスカウンタ、IO…データ入出力回路、TG…タイミング発生回路。

【図1】



【図4】



【図2】

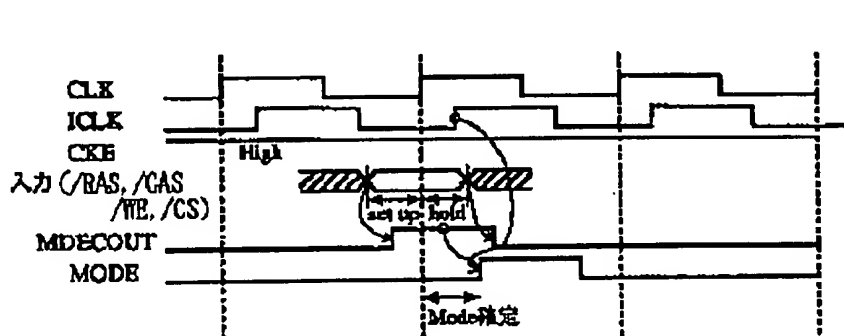
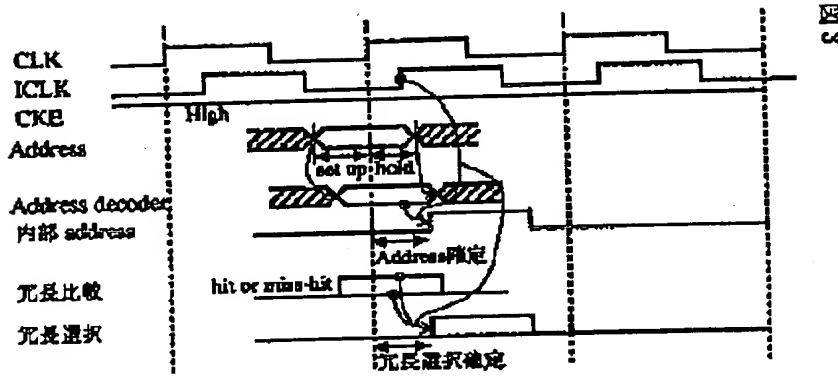
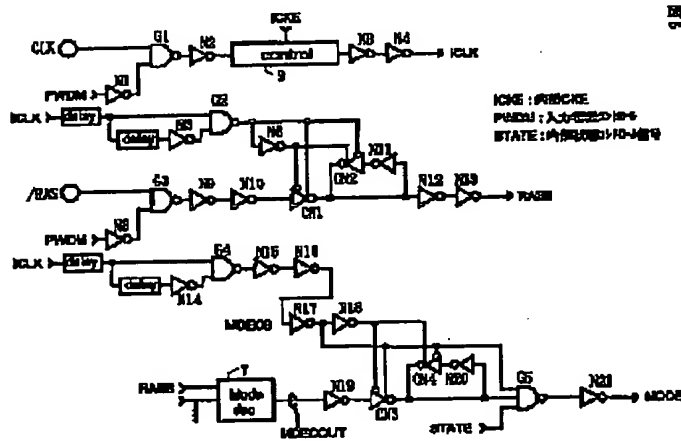


図2

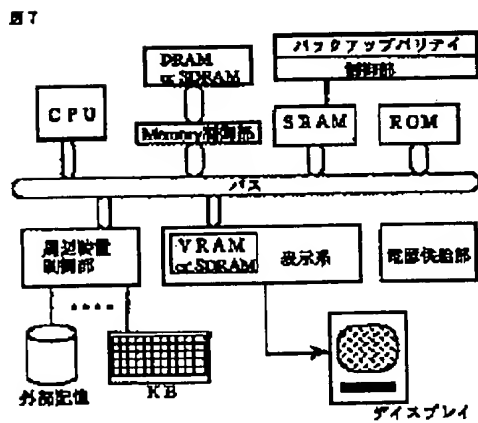
【図3】



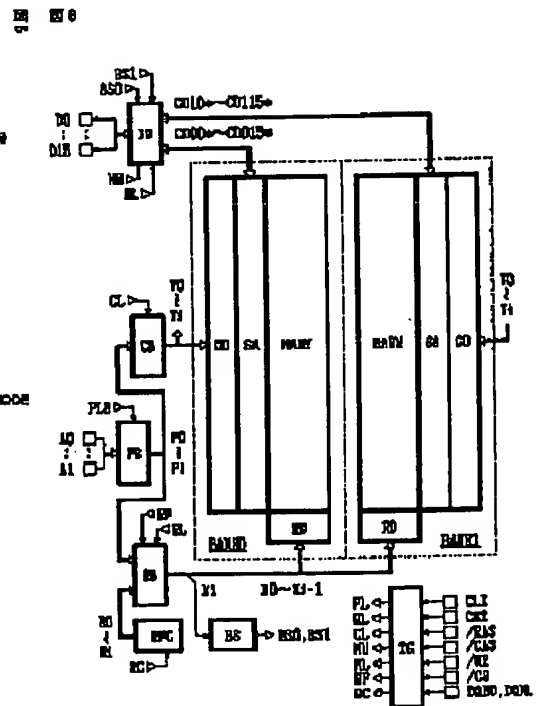
【図5】



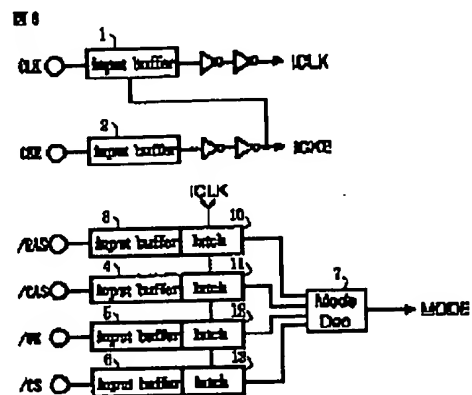
【図7】



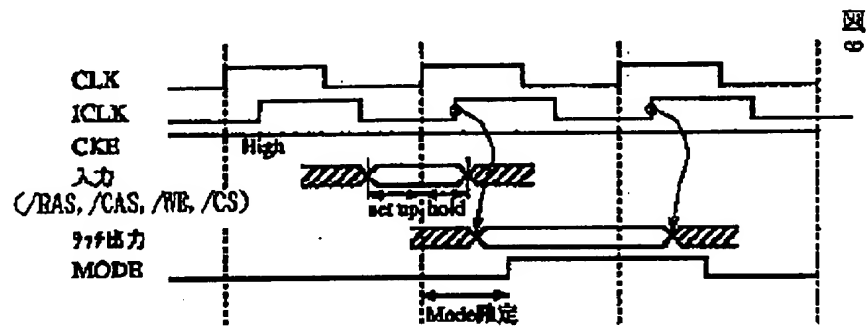
【図6】



【図8】



【図9】



フロントページの続き

(72)発明者 片山 雅弘  
東京都小平市上水本町5丁目20番1号 日  
立超エル・エス・アイ・エンジニアリング  
株式会社内